

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-348868
(43)Date of publication of application : 15.12.2000

(51)Int.Cl. H05B 33/22
C09K 11/06
H05B 33/14
H05B 33/26

(21)Application number : 2000-097672 (71)Applicant : DAINIPPON PRINTING CO LTD
(22)Date of filing : 31.03.2000 (72)Inventor : AOKI DAIGO
ARAI KOJI

(30)Priority

Priority number : 11094752 Priority date : 01.04.1999 Priority country : JP

(54) EL ELEMENT AND ITS LUMINESCENT DISPLAY PATTERN RECORDING /ERASING/DISPLAYING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain an EL element capable of reloading a luminescent pattern, driving a simple matrix, and realizing a low cost, high brightness, and long life by installing a conductive memory layer between an EL layer and either one electrode of facing electrodes, and using the conductive memory layer capable of forming a pattern by the difference between conductivities.

SOLUTION: Conductivity is varied by exposure, temperature change, and applied voltage. Conductivity can be varied in the direction increasing conductivity or in the direction decreasing conductivity, and use of a conductive memory having remaining conductivity even after exposure or heating is finished, i.e., having conductive memory effect is preferable. A conductive memory layer can actually be constituted by combining a charge transport material, a charge accepting material and others. A charge generating material, binder resin, antioxidant, and photo-deterioration inhibitor or sensitizing coloring matter may furthermore be mixed to the conductive memory layer.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-348868

(P 2 0 0 0 - 3 4 8 8 6 8 A)

(43) 公開日 平成12年12月15日 (2000. 12. 15)

(51) Int. Cl. ⁷	識別記号	F I	テ-マ-ト (参考)
H05B 33/22		H05B 33/22	Z
C09K 11/06	680	C09K 11/06	680
H05B 33/14		H05B 33/14	A
33/26		33/26	Z

審査請求 未請求 請求項の数24 O L (全17頁)

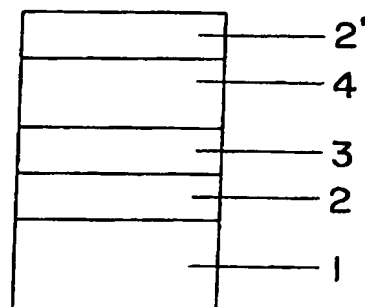
(21) 出願番号	特願2000-97672 (P 2000-97672)	(71) 出願人	000002897 大日本印刷株式会社 東京都新宿区市谷加賀町一丁目1番1号
(22) 出願日	平成12年3月31日 (2000. 3. 31)	(72) 発明者	青 木 大 吾 東京都新宿区市谷加賀町一丁目1番1号 大日本印刷株式会社内
(31) 優先権主張番号	特願平11-94752	(72) 発明者	新 井 浩 次 東京都新宿区市谷加賀町一丁目1番1号 大日本印刷株式会社内
(32) 優先日	平成11年4月1日 (1999. 4. 1)	(74) 代理人	100064285 弁理士 佐藤 一雄 (外3名)
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 E L 素子およびその発光表示パターンの記録／消去／表示方法

(57) 【要約】

【課題】 文字あるいは画像パターンの発光表示を行う E L 素子において、該発光パターンの書き換えが可能であって、かつ、高度な微細加工技術や、複雑な駆動回路を必要としない E L 素子を提供する。

【解決手段】 対向する電極と、前記対向する電極の間に E L 層とを有してなる、E L 素子であって、前記 E L 層と前記少なくともいずれか一方の電極との間に、導電性メモリー層を有してなり、前記導電性メモリー層が、導電性の違いによるパターンを形成し得るものである。



【特許請求の範囲】

【請求項 1】対向する電極と、前記対向する電極の間に E L 層とを有してなる、E L 素子であって、前記 E L 層と前記少なくともいずれか一方の電極との間に、導電性メモリ層を有してなり、前記導電性メモリ層が、導電性の違いによるパターンを形成し得るものであることを特徴とする、E L 素子。

【請求項 2】前記導電性メモリ層が、露光によって導電性が変化するものである、請求項 1 に記載の E L 素子。

【請求項 3】前記導電性メモリ層が、露光終了後においても前記変化した導電性が残存するものである、請求項 1 または 2 に記載の E L 素子。

【請求項 4】前記導電性メモリ層が、別の露光によって前記変化した導電性が変化する前の状態に戻るものである、請求項 1 ～ 3 のいずれか 1 項に記載の E L 素子。

【請求項 5】前記導電性メモリ層が、温度変化によって導電性が変化するものである、請求項 1 ～ 4 のいずれか 1 項に記載の E L 素子。

【請求項 6】前記導電性メモリ層が、温度変化終了後においても前記変化した導電性が残存するものである、請求項 1 ～ 5 のいずれか 1 項に記載の E L 素子。

【請求項 7】前記導電性メモリ層が、別の温度変化によって前記変化した導電性が変化する前の状態に戻るものである、請求項 1 ～ 6 のいずれか 1 項に記載の E L 素子。

【請求項 8】前記導電性メモリ層の露光によって変化した導電性が、加熱することによって、露光前の導電性に回復する、請求項 2 または 3 に記載の E L 素子。

【請求項 9】前記導電性メモリ層が、電圧印加によって導電性が変化するものである、請求項 1 ～ 8 のいずれか 1 項に記載の E L 素子。

【請求項 1 0】前記導電性メモリ層が、電圧印加した際の E L 素子自身の発光によって導電性が変化するものである、請求項 1 ～ 9 のいずれか 1 項に記載の E L 素子。

【請求項 1 1】前記導電性メモリ層が、電圧印加終了後においても前記変化した導電性が残存するものである、請求項 1 ～ 1 0 のいずれか 1 項に記載の E L 素子。

【請求項 1 2】前記導電性メモリ層が、別の電圧印加によって前記変化した導電性が変化する前の状態に戻るものである、請求項 1 ～ 1 1 のいずれか 1 項に記載の E L 素子。

【請求項 1 3】印加電圧を上昇させた後、印加電圧を下降させた際の特定期間の輝度が、印加電圧の上昇時の前記特定期間における輝度よりも大きい、請求項 1 ～ 1 2 のいずれか 1 項に記載の E L 素子。

【請求項 1 4】前記導電性メモリ層が、電荷受容性物質を含有するものであり、前記電荷受容性物質が、光照射によりラジカル状態への構造変化を生じる、または、光照射によりイオン性-非イオン性間の構造変化を起こ

すものである、請求項 1 ～ 1 3 のいずれか 1 項に記載の E L 素子。

【請求項 1 5】前記 E L 素子の発光スペクトルと前記導電性メモリ層の吸収スペクトルが、少なくとも一部重複するものである、請求項 1 ～ 1 4 のいずれか 1 項に記載の E L 素子。

【請求項 1 6】前記 E L 素子に全面露光した後の熱刺激電流測定によるピークが、3 0 ℃以上の温度に存在する、請求項 1 ～ 1 5 のいずれか 1 項に記載の E L 素子。

10 【請求項 1 7】前記導電性メモリ層が、電荷受容性物質と電荷輸送性物質を含むものであり、前記電荷輸送性物質が、ポリビニルカルバゾールである、請求項 1 ～ 1 6 のいずれか 1 項に記載の E L 素子。

【請求項 1 8】前記 E L 素子の電極の少なくとも一方が、セグメント状またはドットマトリックス状にパターン形成されている、請求項 1 ～ 1 7 のいずれか 1 項に記載の E L 素子。

【請求項 1 9】請求項 1 に記載の E L 素子の前記導電性メモリ層に、導電性の違いによるパターンを記録/消去することによって、前記導電性の違いによるパターンに対応した E L 素子の発光表示パターンを記録/消去することを特徴とする、発光表示パターンの記録/消去方法。

20 【請求項 2 0】前記導電性メモリ層のパターン記録方法が、パターン露光、レーザー露光おさマルヘッドによる加熱およびパターン電圧印加からなる群より選ばれる方法であり、パターン消去方法が、全面露光、全面加熱、および全面電圧印加からなる群より選ばれる方法である、請求項 1 9 に記載の発光表示パターンの記録/消去方法。

30 【請求項 2 1】前記パターン記録/消去時に、E L 素子が発光する電圧未満の電圧を前記 E L に印加する、請求項 1 9 または 2 0 に記載の発光表示パターンの記録/消去方法。

【請求項 2 2】請求項 1 9 ～ 2 1 のいずれか 1 項に記載の方法によって E L 素子に記録した発光表示パターンを用いる、発光表示パターンの表示方法。

40 【請求項 2 3】請求項 1 に記載の E L 素子に、発光開始電圧以上の書き込み電圧を印加した後、前記書き込み電圧よりも低い維持電圧を印加して発光させる、E L 素子の駆動方法。

【請求項 2 4】請求項 1 に記載の E L 素子を発光させた後、再度発光させるまでの間に、消去電圧を印加する、E L 素子の駆動方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】本発明は、外部エネルギーによって、高解像度な発光表示パターンの記録/消去/表示が可能な E L 素子（エレクトロルミネッセンス素子）および、その発光表示パターンの記録/消去/表示方法

に関する。

【0002】

【従来の技術】EL素子、例えば、有機EL素子の構造は、対向する2つの電極の間に、少なくとも有機の蛍光物質や電荷輸送剤を含む発光層を単層、さらに場合によっては正孔輸送層、電子輸送層等を多層に積層した構造を有している。この両電極間に電圧を印加すると、正孔および電子が、陽極、陰極からそれぞれ発光層に注入し、これらが再結合することにより、蛍光性物質が励起され、この励起子が失活する際の蛍光によって、EL素子が発光する。

【0003】有機EL素子は単純な素子構造で発光表示が可能であり、軽量で、低価格のディスプレイが容易に作製できることが大きな特徴であり、近年、ディスプレイへの応用が盛んに研究されている。特に、動画を表示するディスプレイの開発は盛んである。

【0004】このような有機EL素子を用いたディスプレイを用いて、文字あるいは画像の発光パターンを表示するためには、電極あるいはEL素子を表示パターン状に加工して発光させるか、または電極をマトリックス状に加工して駆動回路を用いて発光表示させる方法が用いられている。前者の場合、表示する文字あるいは画像パターンに合せて、電極またはEL素子をパターン化するため、一つの特定のパターンしか表示することができない。また後者の場合、逐次異なるパターンを表示できるが、電極や有機EL層のパターニングに伴う高度な微細加工技術や、複雑な配線、駆動回路を要し、有機EL素子の単純な素子構造、低コスト等の特徴が損なわれる問題点があった。

【0005】また、マトリックスディスプレイにおいては、従来1フレーム毎に発光させているので、常時発光するものと比較して例えば150本のラインからなるものについては輝度が1/150となってしまう。そのため高輝度を得るためには瞬間的に高電圧印加する必要が生じ、EL素子の寿命が縮まる問題が起きていた。一方、TFTを用いたディスプレイは、1フレーム毎に発光させているものではないので、このような素子への負担はあまり生じないが、TFTを用いるとコストが上昇するうえ、TFT上に素子を作成すると発光の取り出し側にTFTが配置されるため、開口率が低下する問題点がある。

【0006】

【発明が解決しようとする課題】本発明の目的は、文字あるいは画像パターンの発光表示を行うEL素子において、該発光パターンの書き換えが可能であり、低コスト、高輝度、長寿命である単純マトリックス駆動が可能なEL素子を提供することである。

【0007】

【課題を解決するための手段】本発明者は、EL層と電極との間に、導電性の違いによるパターンを形成し得る

導電性メモリー層を設けることにより、前記課題を解決できることを見出し本発明を完成させた。

【0008】したがって本発明のEL素子は、対向する電極と、前記対向する電極の間にEL層とを有してなる、EL素子であって、前記EL層と前記少なくともいずれか一方の電極との間に、導電性メモリー層を有してなり、前記導電性メモリー層が、導電性の違いによるパターンを形成し得るものであることを特徴とするものである。

【0009】

【発明の実施の形態】以下に本発明を詳細に説明する。

【0010】EL素子の構造

図1に、本発明のEL素子の一例の素子の断面図を示す。図中1は、ガラス基材、2はアノード電極、3は導電性メモリー層、4は有機EL層、2'はカソード電極である。

【0011】図1に示す有機EL層4は、単層でもよいが、正孔輸送層、発光層、または、正孔注入層、電子注入層等を組み合わせて、多層構造にしてもよい。また、光導電性メモリー層3は、カソード電極2'と有機EL層4との間に設けてもよい。

【0012】導電性メモリー層

導電性メモリー層は、EL素子のいずれかの電極とEL層との間（アノード電極とEL層との間、または、カソード電極とEL層との間）に設けられ、導電性の違いによるパターンを形成しうるものである。

【0013】この導電性メモリー層は複数層から構成されていてもよく、例えば拡散障壁層（メモリー層の元素の拡散を防止する層）やコンタクト層（電極とメモリー層との接触をオーミックにする層）等を設けることができる。

【0014】（導電性の変化手段）導電性の違いによるパターンは導電性メモリー層の一部の導電性を変化させることで記録する。この導電性の変化方法は、特に限定されないが、例えば、露光、温度変化（加熱など）および電圧印加を用いることができる。導電性の変化は、導電性を高める方向あるいは導電性を低下させる方向のいずれであることもできるが、好ましくは、露光または加熱などを終了した後でも変化した導電性が残存するもの、すなわち導電性メモリー効果を有するものとする。この残存には、そのままの導電性を維持する場合、徐々に元の導電性に戻る場合、履歴効果（ヒステリシス）を有する場合などが含まれる。履歴効果としては、例えばEL素子のはの印加電圧を上昇させた後、印加電圧を下降させた際の特定電圧の輝度が、印加電圧の上昇時の特定電圧における輝度よりも大きくなるものが挙げられる。

【0015】光導電性メモリー層の膜厚は、例えば0.001~1μmであることができるが、好ましくは0.01~0.1μmとする。膜厚が0.01μmより薄いと膜形成が困難であり、0.1μmより厚いと電極から

電荷の注入が困難となる。

【0016】露光により導電性を变化させる場合、好ましくは露光によって導電性能を増大させ、それにより帯電性能を低下させることができる。この導電性を变化させる光の波長がEL層の発光波長と同じ場合、すなわちEL素子の発光スペクトルと前記導電性メモリ層の吸収スペクトルが、少なくとも一部重複する場合には、導電性メモリ層が、電圧印加した際のEL素子自身の発光によって導電性が変化するものとでき、EL層の発光によって導電性メモリ層が露光されることによって、導電性の变化をさらに強化、維持することができる。一方、この波長とEL層の発光波長とが異なる場合には、導電性メモリ層の導電性がEL層の発光によって影響を受けることを防止することができる。

【0017】このような光により導電性が変化する導電性メモリ層を有するEL素子においては、外部から光源を用いてパターン状に露光することによりパターン状の発光を得ることができる。また、EL層の発光を利用してマトリックスに電圧を印加して駆動させることができる。このように光を部分露光することによって導電性パターンの記録を行うことができ、また、導電性メモリ層の全面を露光することにより、導電性パターンの消去を行うことができる。

【0018】温度変化により導電性を变化させる場合、導電性を高めても低めてもよいが、好ましくは加熱によって、導電性能を低下（帯電性能を向上）させることができる。この場合も導電性メモリ層の全面を露光して、導電性メモリの消去を行い、部分加熱によって導電性パターンの記録を行うことができる。加熱の温度は、例えば40℃以上（使用する際の環境温度より高い温度）好ましくは60～200℃（EL素子が劣化しない程度の温度まで）とすることができる。

【0019】電圧印加により導電性を变化させるものとしては、電界により電流が流れることによりジュール熱によって結晶状態と非結晶状態間で相変化を起こすことにより導電性が変化するものが挙げられる。

【0020】また、電圧印加による導電性変化にあたっては、好ましくは前述の履歴効果例えば、印加電圧を上昇させた後、印加電圧を下降させた際の特定電圧の輝度が、印加電圧の上昇時の前記特定電圧における輝度よりも大きいものであることができる。この特定電圧は、EL素子が発光可能な印加電圧の範囲であって、電圧下降時と上昇時の輝度の差がつく範囲内から選ぶことができる。

【0021】露光による導電性変化と、温度変化による導電性変化と電圧印加による導電性変化は、組み合わせて用いることが好ましい。このような組み合わせには、例えば、部分露光により導電性パターンを記録し、全面加熱によって露光前の導電性に戻すことにより消去すること、あるいは全面露光した後、部分加熱により導電性

パターンを記録し、再び全面露光によって加熱前の導電性に戻すことにより消去することが挙げられる。

【0022】導電性パターンの記録および／または消去においては、EL素子が発光する電圧未満の電圧を前記ELに印加すると記録／消去時の駆動または消費電力の点で好ましく、一定の面積に記録／消去する際に高速で記録消去ができる点で好ましい。

【0023】（導電性メモリ効果の理論）次に、導電性メモリ層における光メモリ効果の理論面について説明する。電極上に導電性メモリ層を設けた試料を用意し、この試料表面をコロナ帯電（初期帯電電位 V_o ）した後、露光し、露光後に再度コロナ帯電（再帯電電位 V_m ）とすると、電荷受容性物質によって初期帯電電位 V_o より ΔV 低い、 V_m の帯電電位が得られる。すなわち、光照射により、帯電性が減少（導電性が増大）し、メモリ性の発現が確認できる。このような光メモリ効果を評価する尺度としては、下記式によって求められる ΔV を V_m で規格化した値（ F_m ）がある。

【0024】 $F_m = (V_o - V_m) / V_o = \Delta V / V_o$
本発明においては、 F_m 値が0.1以上、好ましくは、0.2以上のものが好ましい。

【0025】導電性メモリ層に光が照射されると、正孔と電子が発生し、電子（正孔）が、電荷受容性物質に捕獲される。これによって、電圧を印加した際に、電極から正孔（電子）の注入が促進され、導電性メモリ層の導電性が増大し、帯電性能が低下する。また、光照射後も、導電性メモリ層の導電性はメモリされる。このとき、捕獲されない正孔（電子）は、電圧を印加すると、電界によって、導電性メモリ層を電荷輸送性物質を介して移動し、エレクトロミネッセンス層へ注入されて発光に寄与する。

【0026】導電性メモリ層において、導電性が向上、メモリされる機構は明らかではないが、電荷受容性物質が、電子（正孔）を捕獲することにより、ラジカル状態へ構造を変化させたり、イオン性-非イオン性間の構造変化をすること、あるいは、電極近傍において、電子（正孔）を捕獲することにより、電極界面の正孔（電子）の注入障壁を低下させるか、または、電極界面の電界を局所的に増大させることなどが考えられる。

【0027】また、光照射などの手段により高い導電性がメモリされた状態で、導電性メモリ層を加熱すると、電荷受容性物質に捕獲された電子（正孔）が掃き出され、導電性メモリ層の導電性は低下し、露光前の状態に回復する。

【0028】導電性メモリ層における電荷受容性物質に電子（正孔）が捕獲された状態で、導電性メモリ層に電圧を印加しながら、加熱すると、電荷受容性物質に捕獲された電子（正孔）が掃き出されることにより、熱刺激電流（TSC）の著しいピークが観測される。電荷受容性物質によるトラップは、エネルギー準位が深いた

め、TSCは常温以上の高い温度にピークを有する。

【0029】(導電性メモリー層を構成する材料)導電性メモリー層は、導電性メモリー効果を有するものであれば特に限定されないが、具体的には例えば、電荷輸送性物質、電荷受容性物質等を組合わせることにより構成される。導電性メモリー層にはさらに、電荷発生材料、バインダー樹脂、酸化防止剤、光劣化防止剤または光導電性の分光感度をシフトさせるための増感色素等を混合してもよい。また導電性メモリー層は、光導電性、電荷輸送性、電荷受容性の機能を分離して、多層構造にして

【0030】<電荷輸送性物質>電荷輸送性物質とは正孔または電子を輸送する機能を有する物質であり、この作用を有する物質であれば限定されない。このような電荷輸送性物質としては例えばポリビニルカルバゾールが挙げられる。ポリビニルカルバゾールのビニル基の代わりに、アリル基、アクリロキシアルキル基等のエチレン性不飽和基が含まれたN-置換カルバゾールの重合体であるポリ-N-エチレン性不飽和置換カルバゾール類も好ましい。また、ポリ-N-アクリルフェノチアジン等のポリ-N-エチレン性不飽和基置換フェノチアジン類、ポリビニルピレン等を用いてもよい。

【0031】また、電荷輸送性物質は、例えば、オキサジアゾール系、オキサゾール系、トリアゾール系、チアゾール系、トリフェニルメタン系、スチリル系、ピラゾリン系、ヒドラゾン系、芳香族アミン系、カルバゾール系、ポリビニルカルバゾール系、スチルベン系、エナミン系、アジン系、トリフェニルアミン系、ブタジエン系、多環芳香族化合物系、スチルベン二量体等の物質であってもよい。

【0032】また、 π 共役系高分子として、ポリアセチレン、ポリジアセチレリン、ポリ(P-フェニレン)、ポリ(P-フェニレンスルフィド)、ポリ(P-フェニレンオキシド)、ポリ(1,6-ヘプタジイン)、ポリ(P-フェニレンピニレン)、ポリ(2,5チエニレン)、ポリ(2,5-ピロール)、ポリ(m-フェニレンスルフィド)、ポリ(4,4'-ビフェニレン)等が挙げられる。

【0033】電荷移動高分子錯体として、ポリスチレン・ AgClO_4 、ポリビニルナフタレン・TCNE、ポリビニルナフタレン・PCA、ポリフェニルナフタレン・DDQ、ポリビニルメシチレン・TCNE、ポリナフアセチレン・TCNE、ポリビニルアンスラセン・ Br_2 、ポリビニルアンセラセン・ I_2 、ポリビニルアンセラセン・TNB、ポリジメチルアミノスチレン・CA、ポリビニルイミダゾール・CQ、ポリP-フェニレン I_2 ・ポリ-1-ビニルピリジン・ I_2 、ポリ-4-ビニルピリジン・ I_2 、ポリ-P-1-フェニレン・ I_2 、ポリビニルピリジウム・TCNQ等が挙げられる。

また、低分子電荷移動錯体としては、TCNQ-TTF

等が、金属錯体高分子としては、ポリ銅フタロシアニン等が挙げられる。

【0034】<電荷受容性物質>電荷受容性物質とは、電子または、正孔をトラップする機能を有する物質であれば限定されない。このような物質としては例えば

(1) 光によってラジカル状態への構造変化を生じる物質、(2) 光によって可逆的もしくは、不可逆的に非イオン-イオン性間の構造変化を起こす物質が挙げられる。

【0035】電荷受容性物質のうち、光によってラジカル状態への構造変化を生じる(1)の物質には、例えば以下のイオン性染料塩および非イオン性化合物がある。

【0036】イオン性染料塩としては、ジアリールメタン系、トリアリールメタン系、チアゾール系、メチン系、キサンテン系、オキサジン系、チアジン系、アジン系、アクリジン系、アゾ系、または、金属錯体塩系の塩類が挙げられ、具体的には、カルバゾール色素、チアピリリウム色素、オーラミン、オーラミンO、クリスタルバイオレット、ロイコクリスタルバイオレット、マラカイトグリーン、ロイコマラカイトグリーン、ピクトリアブルー、メチルバイオレット、ダイヤモンドグリーン、ブリリアントグリーン、3,3'-ジ(N-エチルカルバゾイル)フェニルメタン、チオフラビン、アントラフロキシン、ローダミンB、ローダミン6GCP、ローデュリンブルー、メチレンブルー、サフトラニンF、アクリジンオレンジ、アクリジンレッド、ビスマルクブラウン等の塩類、また、金属錯塩として、Irgalan Brown Violet DL、Perlonecht RTS等の塩類が挙げられる。これらのイオン性染料塩における対イオンとしては、 BF_4^- 、 ClO_4^- 、 ClO_3^- 、 OSO_3H^+ 等が挙げられる。

【0037】また、非イオン性化合物としては、p-ニトロフェニル酢酸、2,6-ジヒドロキシ安息香酸、4-n-ブトキシ安息香酸、p-ヒドロキシブトキシ安息香酸、無水シススクロヘキセン-1,2-ジカルボン酸、亜リン酸トリフェニル、2,5-ジフェニルオキサゾール、ペラルゴン酸、アリザリン等が挙げられる。

【0038】電荷受容性物質のうち、光によって可逆的もしくは、不可逆的に非イオン-イオン性間の構造変化を起こす(2)の物質としては、ジアゾ化合物、ロイコ色素、スピロピラン化合物またはそれらの誘導体が挙げられる。

【0039】ジアゾ化合物として、p-フェニレンジアミン類、アミノヒドロキノンエーテル類、アミノジフェニル類、複素環アミン類、o-フェニレンジアミン類、o-アミノフェノール類が挙げられる。

【0040】このジアゾ化合物のうちp-フェニレンジアミン類としては、p-ジアゾメチルアニリン、p-ジアゾ-N-, N-ジメチルアニリン、p-ジアゾ-N-, N-ジエチルアニリン、p-ジアゾ-N- β -ヒド

ロキシジエチルアニリン、4-ジアゾ-2-ヨード-N-メチル-N-フェニルメチルアニリン、4-ジアゾ-5-クロロ-2-メトキシ-N-エチル-N-ベンジルアニリン、4-ジアゾ-N-エチル-β-フェニルエチルアニリン等が挙げられる。

【0041】このジアゾ化合物のうちアミノハイドロキノンエーテル類としては、4-ジアゾ-2、5-ジブトキシN、N'-ジエチルアニリン、4-ジアゾ-2、5-ジブトキシ-N、N-ジエチルアニリン、4-ジアゾ-2、5-ジエトキシ-N-ベンジルアニリン、4-ジアゾ-2、5-ジエトキシ-N、N-ジ-n-プロピルアニリン、4-ジアゾ-2、5-ジエトキシ-N-ベンジリアニリン、4-ジアゾ-2、5-ジエトキシ-N-エチル-N-ベンゾイルアニリン等が挙げられる。

【0042】このジアゾ化合物のうちアミノジフェニル類としては、p-ジアゾジフェニルアミン、4-ジアゾ-4'-メトキシジフェニルアミン、4-ジアゾ-3', 6', 4'-トリプロモジフェニルアミン、4-ジアゾ-2、5-ジエトキシフェニルエチルサルファイド等が挙げられる。

【0043】このジアゾ化合物のうち複素環アミン類としては、4-ジアゾ-N-フェニルモルフォリン、4-ジアゾ-N-フェニル-チオモルフォリン、4-ジアゾ-N-フェニルピペリジン、4-ジアゾ-N-フェニルピロリジン等が挙げられる。

【0044】このジアゾ化合物のうちo-フェニレンジアミン類としては、2-ジアゾ-5-ベンゾイルアミノ-N、N-ジメチルアニリン、3-ジアゾ-4-N、N-ジメチルアミノジフェニル、2-ジアゾ-4-プロモ-N、N'-ジメチルアニリン、2-ジアゾ-4-メチル

メルカプト-N、N-ジメチルアニリン等が挙げられる。

【0045】このジアゾ化合物のうちo-アミノフェノール類としては、1-ジメチルアミノメチルジフェニルオキサイド、3-ピペリジルメチル-5-メチル-1, 2-ベンゾキノンジアジド類が挙げられる。

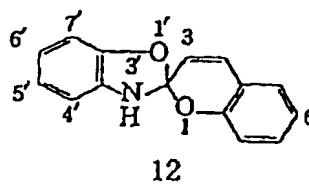
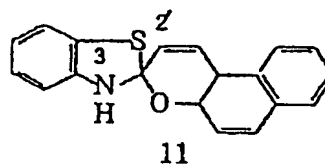
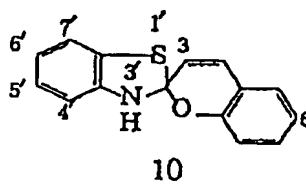
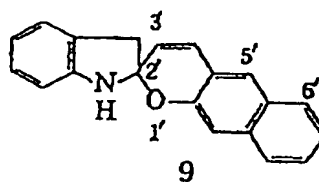
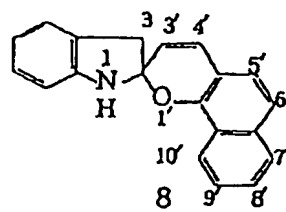
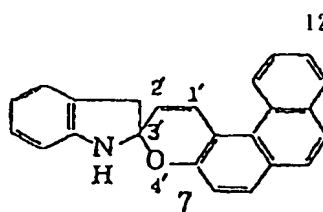
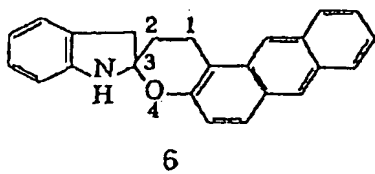
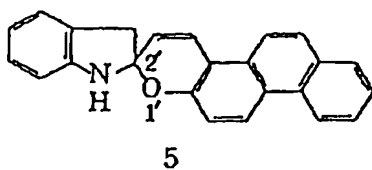
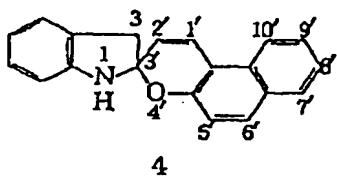
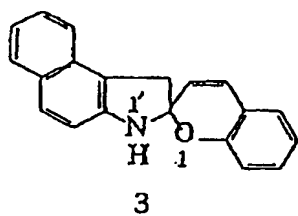
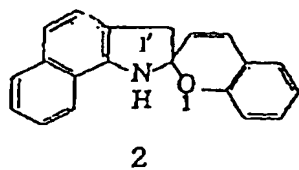
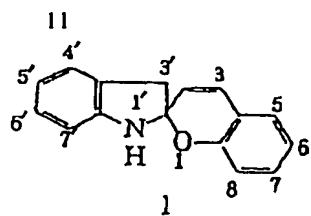
【0046】電荷受容性物質のうちの(2)の物質としては、さらにロイコ色素として、トリ(N-ジメチルアミノフェニル)メタン、トリ(N-ジエチルアミノフェニル)メタン、p, p', p"-トリアミノトリフェニルメタン、p, p'-テトラメチル-ジアミノジフェニルメタン、p, p', p"-トリアミノ-o-メチルトリフェニルメタン、p, p', p"-トリアミノトリフェニルカルビノール等が挙げられる。

【0047】これらのロイコ色素はハロゲン化合物と混合して用いることができ、ハロゲン化合物としては、N-プロモサキシミド、四臭化炭素、2-クロルアントラキノン、テトラプロモ-o-クレゾール、N-クロルサキシミド、1, 2, 3, 4-テトラプロモブタン、1, 2, 3, 5-テトラクロルベンゼン、四塩化炭素、2, 4-ジクロルフェノール、テトラクロルテトラヒドロナフタレン、ヘキサクロルベンゼン、p-プロモアセトアニリド、ヘキサクロルエタン、p-ジクロルベンゼンが挙げられる。

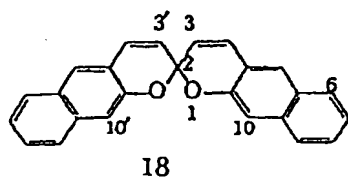
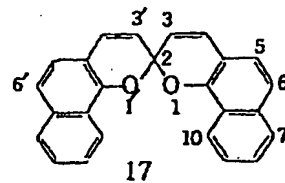
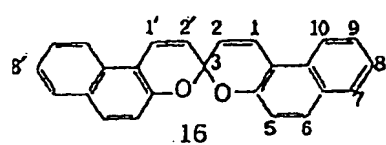
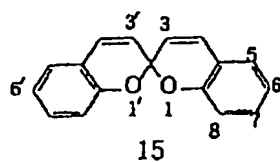
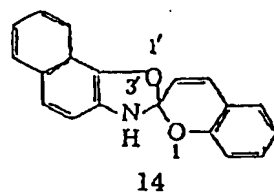
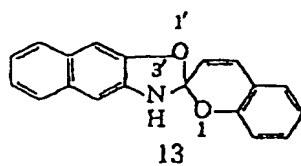
【0048】電荷受容性物質のうちの(2)の物質としては、さらにスピロピラン化合物またはそれらの誘導体として、例えば以下のものが挙げられる。

【0049】

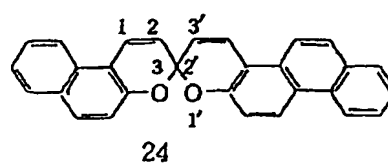
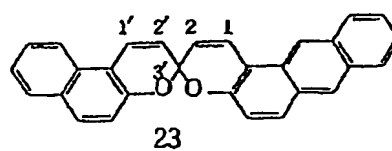
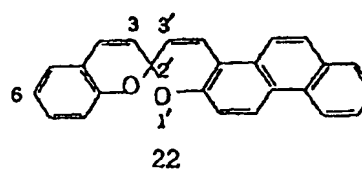
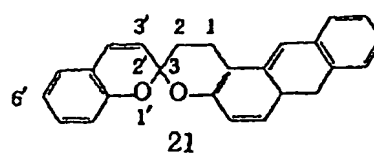
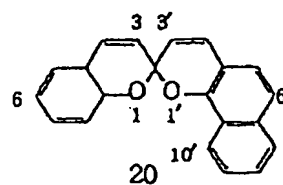
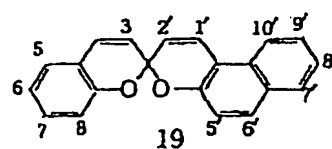
【化1】

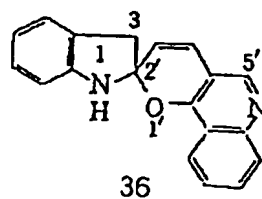
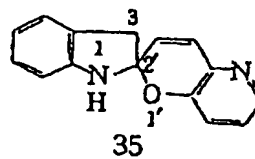
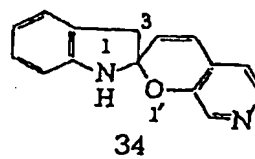
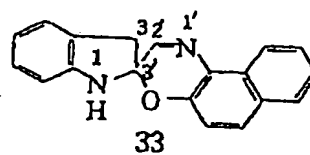
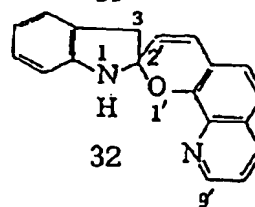
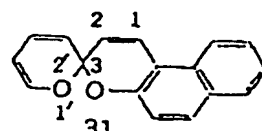
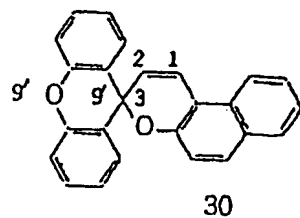
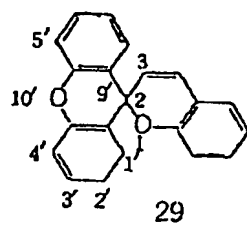
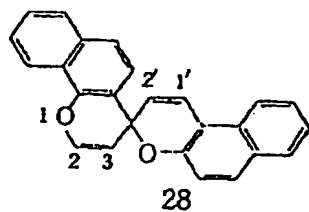
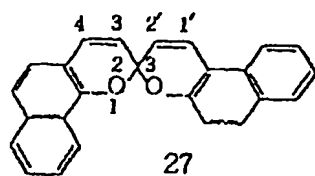
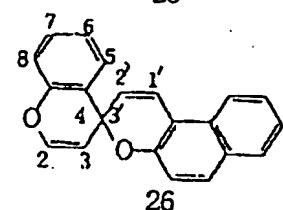
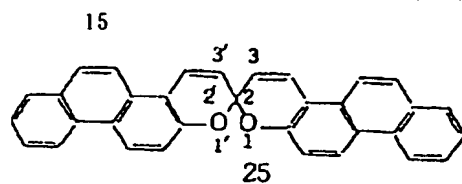


13

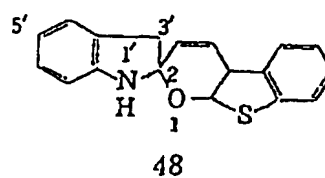
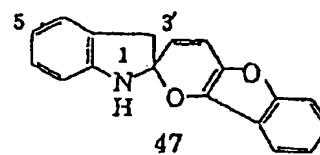
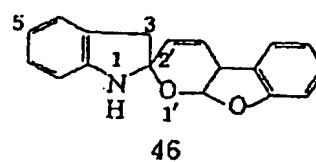
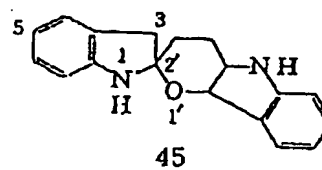
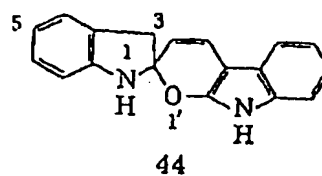
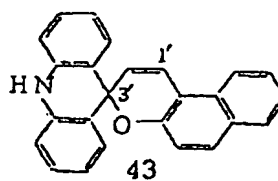
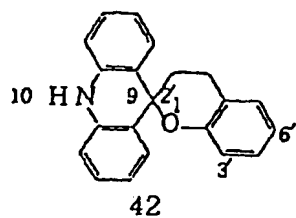
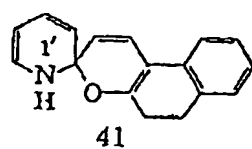
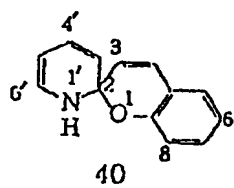
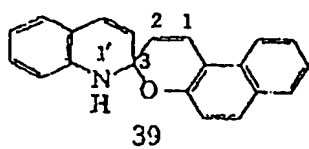
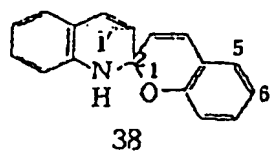
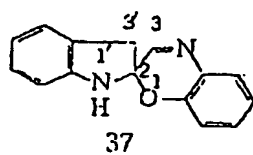


14

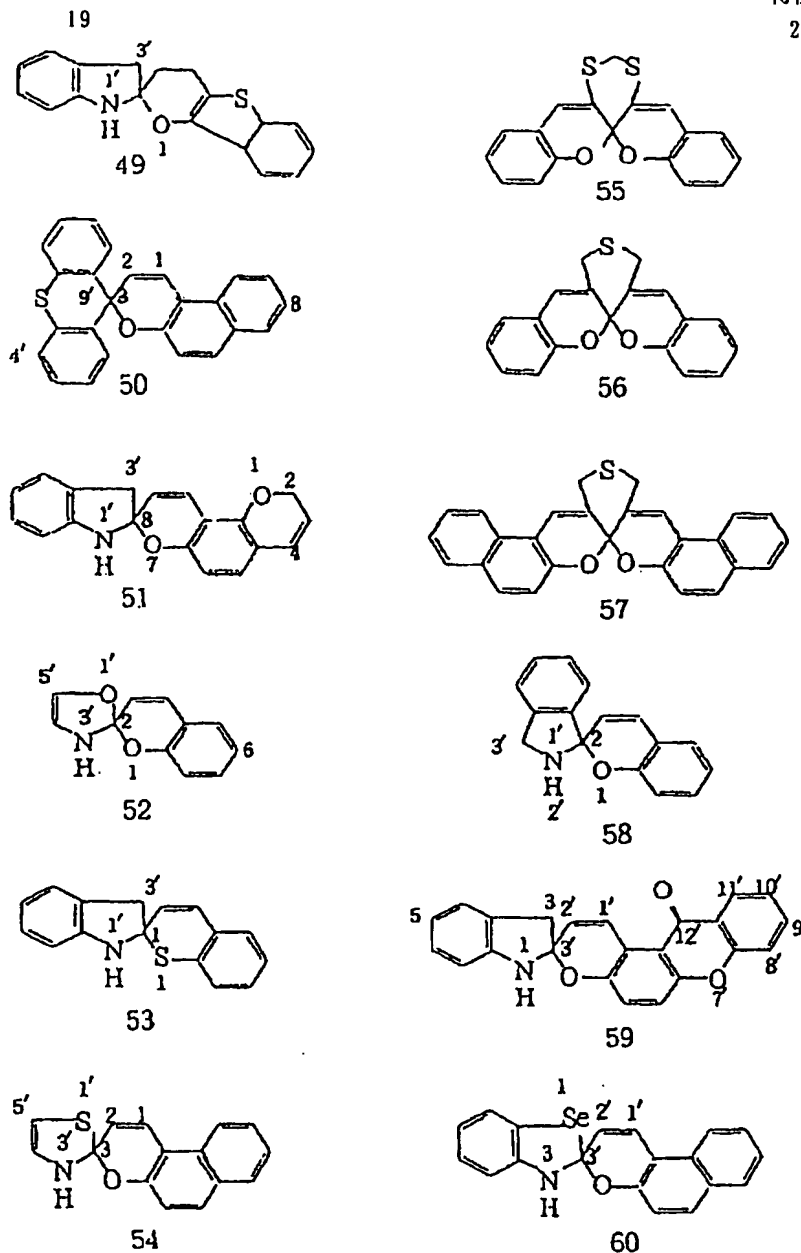




17



【化 5】



上記構造式において式中の数字は置換記の位置を示し、その水素置換基として、メチル基、エチル基、プロピル基、ブチル基、メトキシ基、エトキシ基、ヒドロキシル基、カルボキシル基あるいはハロゲンなどを有する化合物が挙げられる。上記のスピロラン化合物には、開環状態（イオン性）で安定なものもあれば、閉環状態（非イオン性）で安定なものもある。

【0050】電荷受容性物質は、電荷輸送性物質（好ましくはポリビニルカルバゾール）1ユニットに対して、電荷受容性物質を好ましくは $1 \times 10^{-6} \sim 1 \text{ mol}$ の範囲で混合するが、より好ましくは、 $1 \times 10^{-4} \sim 1 \times 10^{-2} \text{ mol}$ の割合で添加する。

【0051】電圧印加により導電性を变化させる導電性メモリー層に用いられる材料としては、例えば好ましくは少なくとも1種のカルコゲン元素を含みかつ少なくと

も1種の遷移金属元素を含む材料を挙げることができる。より好ましくはTe、Se、Ge、Sb、Bi、Pb、Sn、As、S、Si、P、Oおよびこれらの混合物ならびに合金からなる群より選択される元素を含むことができる。特に好ましくは遷移金属では、Cr、Fe、Niおよびそれらの合金の混合物を含み、カルコゲン元素ではTeおよびSeを含む。具体的には(Te, Ge, Sb_{100-(a+b)}), TM_{100-c}、または(Te, Ge, Sb_{100-(a+b)}), TM_dSe_{100-(c+d)}等、例えば(Te₅₅Ge₂₂Sb₂₂), Ni₅が挙げられる。ここで、下付文字は合計で100%となる原子パーセンテージであり、TMは1種またはそれ以上の遷移金属である。これらの材料は、蒸着またはスパッタなどの方法によって成膜することができる。

40

50

【0052】熱刺激電流測定

熱刺激電流は、試料に電圧を印加した状態で温度を上げることによって、試料内部にトラップされている空間電荷を掃き出し、これによって誘起された電流を観測するものである。室温（30℃）より高い温度でピークがみられるということは、室温（使用温度）において安定なトラップが存在することであり、また、温度が高いほどトラップの準位（1 eV以上が好ましい）が深く、安定的にメモリーされるということとなる。実際のトラップの深さは昇温速度を変化させた時のピーク温度をプロットし、その傾きから活性化エネルギーとして求めるため、ピーク温度と対応しているわけではないが、室温以下にピークがあると室温（使用温度）における熱エネルギーでトラップが逃げてしまうため、メモリー効果を利用できない。また、ピーク温度が高すぎると消去する際に高温に加熱しなければならず、EL素子が劣化してしまう。そのためピーク温度は60～150℃程度が好ましい。

【0053】EL層

EL（エレクトロルミネッセンス）層は、発光層のみの単層でもよいが、公知の正孔輸送層、正孔注入層、電子輸送層、電子輸送層等を組合わせて、多層構造にしてもよい。また、発光波長を調整したり、発光効率を向上させる等の目的で、これらの各層に適当な材料をドーピングすることもできる。EL層の各層に用いる材料は、無機材料でも有機材料でもよく、蒸着、スパッタ等の真空成膜法で成膜しても、塗布液にして塗布して成膜してもよい。

【0054】電極

電極層は、アノード電極とカソード電極のどちらか一方が透明または半透明であるものを用いる。アノード電極としては、正孔が注入し易いように仕事関数の大きい導電性材料が好ましく、逆にカソード電極としては、電子が注入し易いように仕事関数の小さい導電性材料が好ましい。また、いずれの電極の材料も複数の材料を混合させたものであってもよい。いずれの電極も、抵抗はできるだけ小さいものが好ましく、一般には、金属材料が用いられるが、有機物あるいは無機化合物を用いてもよい。本発明の1つの好適態様においては、EL素子の電極の少なくとも一方がセグメント状またはライン状にパターン形成されているものが挙げられる。

【0055】表示パターンの形成、消去、残存、発光

表示パターンを光で書き込む場合は、例えばパターン露光、レーザー露光が挙げられる。光で消去する場合にはこれらの露光の他全面露光などが挙げられる。熱で書き込む場合には、例えば全面露光を行った後、パターン状に加熱する方法や、サーマルヘッドによって書き込む方法が挙げられ、熱で消去する場合にはこれらの加熱の他全面加熱が挙げられる。

【0056】電圧印加で書き込む場合は書き込み電圧

(V write)を印加し、電圧印加で消去する場合には消去電圧(V erase)を印加するが、この間好ましくは維持電圧(V sustain)で発光させることができる。Vsustainは閾値電圧(Vth)よりも高い電圧になるが、Vwriteよりも低い電圧で、Vsustainを印加した状態においては、Vwriteを印加した後の方がメモリー効果により高い輝度で発光することができる。また、VeraseはVsustainより大きくVwriteと同じ極性の電圧でもよく、あるいは逆極性の電圧でもよい。

【0057】また、本発明のEL素子を用いたマトリックスディスプレイの駆動においては、1フレームのスキャン時間以上のメモリー性を有するEL素子の場合、次にスキャンされる前に消去電圧を印加することにより、メモリー導電性を初期化することが好ましい。

【0058】また、これらの組み合わせ例えば、光や熱による書き込み、消去を電圧を印加しながら行ってもよい。表示パターンの発光は典型的にはパターンを書き込みしない状態で発光させる際よりも低い電圧を印加することにより行う。また、書き込み手段と、消去手段は同じ手段であっても良いが、異なる手段を組み合わせる、例えば光で書き込み熱で消去する、光で書き込み電圧印加で消去することができる。

【0059】表示パターンの維持は、EL素子の設計にもよるが、例えば、そのまま放置する方法、低電圧を印加する方法、によりEL層の発光を利用してまたは利用せずに行うことができる。

【0060】パターン発光にあつては、特に限定されるものではないが、例えば書き込み電圧(V write)よりも低い電圧である維持電圧(V sustain)を印加して発光させることができる。

【0061】このようなEL素子を用いてディスプレイを製造した場合は、維持電圧を印加したまま書き込み電圧でマトリックススキャンを行うことによって、スキャンからスキャンの間の時間もマトリックススキャンで書き込んだ通り発光するので、スキャン時のみ発光する通常のディスプレイに比べて、duty比が優れる、つまりディスプレイへの負荷が少なく消費電力が少ないにもかかわらず高輝度で安価かつ長寿命のディスプレイとすることができる。換言すれば、本発明のEL素子を用いると、そのメモリー効果により、単純マトリックス素子を駆動する際にduty比による見かけ上の発光効率の損失を補うことができる。

【0062】EL素子の製法

本発明のEL素子の製法は、例えば以下の手順が挙げられる。ガラス、プラスチック、あるいはフィルムの基材上に形成した電極上に導電性メモリー層を蒸着または塗布により積層する。次に該導電性メモリー層上にEL層を蒸着または塗布により積層する。さらに、EL層上に電極を蒸着または塗布により成膜する。また、電極上にEL層を成膜したのち光導電性メモリー層、電極を順次

- 積層してもよい。また、作製した素子は、オーバーコート層を塗布または蒸着により成膜したり、基材を貼り合わせることによって、封止してもよい。また、封止する際に乾燥剤を素子内に組み入れてもよい。電極は超音波洗浄、ブラシ洗浄、UV洗浄等で洗浄したり、プラズマ処理などによって表面改質や洗浄を行うとよい。EL層や金属電極を成膜する際は、 10^{-4} torr以下の真空度で、 $0.1 \sim 2.0 \text{ A/sec}$ の蒸着速度で成膜するとよい。また、これらの工程は、極力水分を除去した乾燥雰囲気下、窒素、アルゴンなど雰囲気下または真空中で行うとよい。

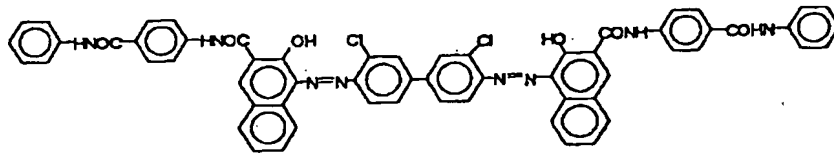
【0063】

【実施例】まず、導電性メモリー層における光メモリー効果について、参考例、参考比較例に基き説明する。

【0064】（参考例1）充分洗浄した厚さ 1.1 mm のガラス基板上にEB蒸着により面積抵抗 $80 \Omega/\text{cm}^2$ 、膜厚 500 nm のITO膜を成膜し、スクラパー洗浄機で洗浄した後、クリーンオープン中、 150°C で1時間乾燥させた。

【0065】次いで、電極上に、下記構造を有するカルバゾール色素を3重量部とポリビニルカルバゾール

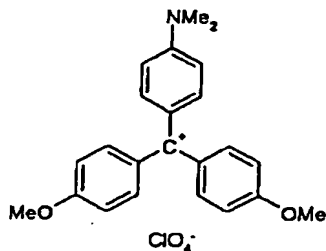
（（株）アナン製ツピコール210）10重量部（ポリビニルカルバゾールのモノマーユニット1モルに対してカルバゾール色素0.1モル）とをクロロホルム117



（参考例4）参考例1において、カルバゾール色素を下記構造のトリフェニルメタン色素に代えた以外は、参考例1と同様にして導電性メモリー層を作製した。

【0069】

【化8】



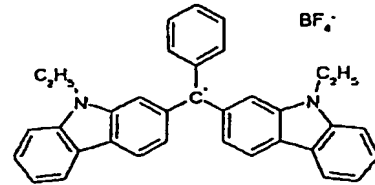
（参考比較例1）参考例1において、カルバゾール色素を添加しない以外は参考例1と同様にして、層を形成した。

【0070】（参考比較例2）参考例1において、導電性メモリー層用の塗布液をポリビニルカルバゾールのモノマーユニット1モルに対して、2, 4, 7-トリニトロフルオレンを1:1のモル比となるようにテトラヒドロフランに溶解させたものとした以外は、参考例1と

重量部に溶解させ、スピンコーターで塗布した後、クリーンオープン中、 80°C で30分間乾燥させ、 $4 \mu\text{m}$ の膜厚の導電性メモリー層を作製した。

【0066】

【化6】



（参考例2）参考例1において、カルバゾール色素を2, 6-ジヒドロキシ安息香酸に代えた以外は、参考例1と同様にして導電性メモリー層を作製した。

【0067】（参考例3）下記構造を有するビスアゾ染料を3重量部、ポリビニルホルマール樹脂1重量部とを1, 4-ジオキサン98重量部、シクロヘキサノン98重量部と混合し、混合機により充分に混練し、顔料分散液とした。この分散液1重量部に、上記の参考例1で作製した導電性メモリー層塗布液1重量部を混合して塗布液とした以外は、参考例1と同様にして、導電性メモリー層を作製した。

【0068】

【化7】

同様にして層形成した。

【0071】（参考比較例3）参考例1において、ポリビニルカルバゾールに代えてポリエステル樹脂（東洋紡社製、Vylon200）を使用した以外は参考例1と同様にして層形成した。

【0072】（参考比較例4）参考例2において、ポリビニルカルバゾールに代えてポリエステル樹脂（東洋紡社製、Vylon200）を使用した以外は参考例2と同様に層形成した。

40 【0073】（メモリー性の測定）得られた各試料を、暗所で回転式電位計（川口電機社製EPA8100）を用い、コロトロン（2wire electrode）でコロナ電圧を -6 kV 加えてコロナ帯電させ、30秒間同様にコロナ帯電を行ない帯電電位を V_0 とした。この試料に、キセノンランプで白色光 1000 lux を10秒間照射した後に、再び30秒間同様にコロナ帯電を行ない帯電電位 V_1 を測定し、これを10回繰り返したときの値 V_1 を測定した。この10回繰り返した試料を暗所に10分間放置した後に、再び30秒間帯電を行ない、帯電電位 V_m を測定した。

【0074】 サンプルの測定面積は、3.14 cm² (2 cmφ円形) であった。
 【0075】 結果を下記表1に示す。

【0076】
 【表1】

	V0 (V)	V10 (V)	Vm (V)	Fm
参考例 1	176	73	74	0.58
参考例 2	89	44	45	0.49
参考例 3	66	12	13	0.83
参考例 4	161	45	45	0.72
参考比較例1	150	150	151	~0
参考比較例2	198	200	198	~0
参考比較例3	352	350	348	~0
参考比較例4	303	298	303	~0

このように、参考例1~4で得られた試料は、帯電能が低下し、メモリー性を有するものであったことがわかる。

【0077】 (熱刺激電流の測定) 参考例1と参考比較例2の導電性メモリー層上に膜厚30 nm、表面抵抗1 kΩ/□、0.16 cm² の金電極を蒸着した測定用試料を作製した。

【0078】 図2に示す短絡熱刺激電流測定装置 (株) 東洋精機製作所製) により、金電極を負として、両電極間に1.5 V/μmの直流電圧を印加すると同時に10度/分の昇温速度で測定試料を加熱した。その際に流れる熱刺激電流を微小電流計により測定した。

【0079】 結果を図3に示す。横軸は加熱温度 (℃)、縦軸は電流密度値 (10⁻¹¹ A/cm²) であり、図中 (A) は、参考例1の導電性メモリー層、(B) は参考比較例2の導電性メモリー層を試料に用いた結果である。図3から明らかなように、参考例1における導電性メモリー層は、明瞭なピーク状の波形が観測され、トラップ電荷が存在していることがわかる。

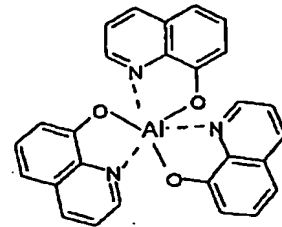
【0080】 以下、本発明のEL素子の実施例を説明する。

【0081】 (実施例1) 導電性メモリー層を50 nmの膜厚に成膜した以外は参考例1と同様にして導電性メモリー層を積層した。この導電性メモリー層上に、正孔輸送層としてポリビニルカルバゾール (株) アナン製、ツピコール210) 1重量部に対してクロロホルム49重量部を加えて溶解させ、スピナーを用いて乾燥膜厚が50 nmになるよう塗布した。

【0082】 続いて、この正孔輸送層上に、発光層として下記構造のトリス (8キノリノレート) アルミニウム (Alq) を1×10⁻⁶ torrの真空中で5 nm/秒の速度で蒸着し、60 nmの膜厚に積層した。

【0083】

【化9】



さらに、発光層上、カソード電極として、MgAg (Mg:Ag=10:1) を1×10⁻⁶ torrの真空中で5 nm/秒の速度、0.16 cm² の面積で、100 nmの膜厚で積層し、本発明のEL素子を得た。

【0084】 (実施例2) 導電性メモリー層を50 nmの膜厚に成膜した以外は参考例2と同様にして導電性メモリー層を積層した。この導電性メモリー層上に、実施例1と同様にして正孔輸送層、発光層を積層し、本発明のEL素子を得た。

【0085】 (実施例3) 導電性メモリー層を50 nmの膜厚に成膜した以外は参考例3と同様にして導電性メモリー層を積層した。この導電性メモリー層上に、実施例1と同様にして正孔輸送層、発光層を積層し、本発明のEL素子を得た。

【0086】 (比較例1) 導電性メモリー層を50 nmの膜厚に成膜した以外は参考例比較例1と同様にして導電性メモリー層を積層した。この導電性メモリー層上に、実施例1と同様にして正孔輸送層、発光層を積層し、本発明のEL素子を得た。

【0087】 (比較例2) 導電性メモリー層を50 nmの膜厚に成膜した以外は参考比較例2と同様にして導電性メモリー層を積層した。この導電性メモリー層上に、実施例1と同様にして正孔輸送層、発光層を積層し、本発明のEL素子を得た。

【0088】 (比較例3) 導電性メモリー層を50 nmの膜厚に成膜した以外は参考比較例3と同様にして導電性メモリー層を積層した。この導電性メモリー層上に、実施例1と同様にして正孔輸送層、発光層を積層し、本

発明のEL素子を得た。

【0089】（比較例4）導電性メモリー層を50nmの膜厚に成膜した以外は参考比較例4と同様にして導電性メモリー層を積層した。この導電性メモリー層上に、実施例1と同様にして正孔輸送層、発光層を積層し、本発明のEL素子を得た。

【0090】（比較例5）導電性メモリー層を設けない以外は実施例1と同様にして導電性メモリー層を積層した。この導電性メモリー層上に、実施例1と同様にして正孔輸送層、発光層を積層し、本発明のEL素子を得た。

【0091】（比較例6）導電性メモリー層を50nmの膜厚に成膜した以外は参考例4と同様にして導電性メモリー層を積層した。この導電性メモリー層上に、実施例1と同様にして正孔輸送層、発光層を積層し、本発明のEL素子を得た。

【0092】（発光特性の評価）得られたEL素子の発光特性を評価するために、図4に示す発光測定装置を構成した。図中、1は、ガラス基板、2は、アノード電極、3は、導電性メモリー層、4'は、正孔輸送層、4''は、発光層、2'は、カソード電極、5は、ソースメータ（ケースレー社製2400）、6は、輝度計（ミノルタ社製BM-8）、7は、パソコンである。

【0093】この測定装置において、上記で作製したそれぞれの有機EL素子のアノード電極を+、カソード電

極を-として、両電極間に直流電圧を印加し、このときの発光輝度を輝度計で測定した。結果を表2に示した。

【0094】

【表2】

試料	印加電圧 (V)	発光輝度 (cd/cm ²)
実施例1	10~15	200~400
実施例2	12~20	150~300
実施例3	10~15	400~600
比較例1	20以上	0~100
比較例2	10~20	250~300
比較例3	20以上	0~100
比較例4	20以上	0~100
比較例5	5~10	500~1000
比較例6	10~15	150~250

（光による情報の書込み、消去）これらの試料に、キセノンランプを用いて、マスクを介して、4mmφの円形状のパターンで、白色光を1000luxの強度で10秒間照射した後に、両電極間に直流電圧を0~20V印加し、このときの発光パターンと発光輝度を輝度計で測定した。結果を表3に示した。

【0095】

【表3】

試料	電圧 (V)	発光輝度 (cd/cm ²)	発光パターン
実施例1	8~10	100~200	円形 (4mmφ)
実施例2	10~15	80~170	円形 (4mmφ)
実施例3	5~8	200~300	円形 (4mmφ)
比較例1	20以上	0~100	全面
比較例2	10~20	250~300	全面
比較例3	20以上	0~100	全面
比較例4	20以上	0~100	全面
比較例5	5~10	500~1000	全面
比較例6	10~15	150~250	円形 (4mmφ) → 全面

これより、実施例1~3では、予め露光しない場合よりも、低い印加電圧で、露光した円形状のパターンに応じて、発光することがわかる。また、これより高い電圧では、全面が発光した。比較例1~5では、予め露光した円形状パターンに関係なく、全面が発光した。比較例6は、電圧印加直後、露光した円形状のパターンに応じた発光が観測できたが、徐々に発光パターンは消去され全面が発光した。

【0096】（熱による情報の書込み）実施例1~3の試料をキセノンランプを用いて、1000luxの白色光を全面に10秒間照射した後、サーマルヘッドを用いて、120℃の温度で、4mmφの円形状のパターンを

書込み、電圧印加すると、円形状のパターンは発光せず、周辺部のみ発光が得られた。

【0097】これを暗所に、3日間放置するか、全面を120℃に加熱した後、電圧印加すると、円形状のパターン発光はみられず、全面が発光し、メモリーが消去された。

【0098】

【発明の効果】本発明のEL素子は、典型的には光または熱により、発光するパターン情報を書込みあるいは消去することかでき、電極のパターニングや駆動回路を用いずに、情報を表示することが可能となる。

【0099】また、本発明のEL素子を用いたディスプレイ

レイは、duty比が優れており、負荷が少なく消費電力が少ないにもかかわらず高輝度で安価かつ長寿命のものとすることができる。

【図面の簡単な説明】

【図1】本発明のEL素子の一例の断面図である。

【図2】短絡熱刺激電流測定装置の説明図である。

【図3】熱刺激電流の測定結果を示すグラフである。

【図4】実施例における、EL素子の発光を測定する装置の説明図である。

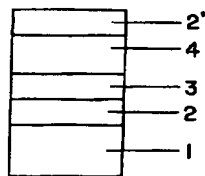
【図5】実施例における印加電圧と輝度の関係を示すグラフである。

【符号の説明】

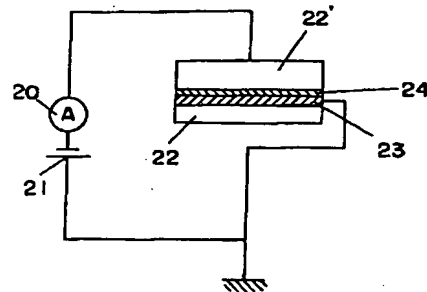
- 1 ガラス基材
- 2 アノード電極
- 2' カソード電極
- 3 導電性メモリ層
- 4 有機EL層

- 20 電流計
- 21 電源
- 22 基板
- 22' 金電極
- 23 電極(ITO)
- 24 導電性メモリ層
- 41 ガラス基板
- 42 アノード電極
- 42' カソード電極
- 43 導電性メモリ層
- 44 有機EL層
- 45 正孔輸送層
- 46 発光層
- 47 ソースメータ(ケースレー社製2400)
- 48 パソコン
- 49 輝度計(ミノルタ社製BM-8)

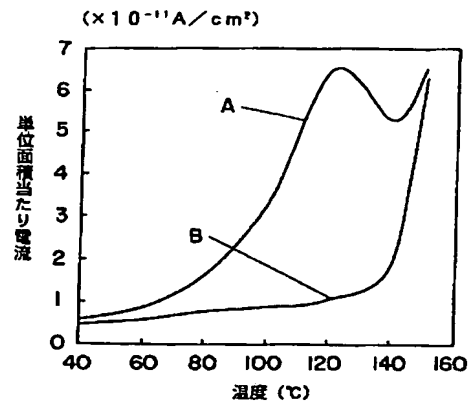
【図1】



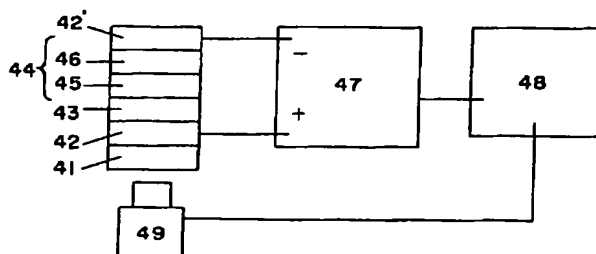
【図2】



【図3】



【図4】



【図5】

